

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 8 日
Date of Application:

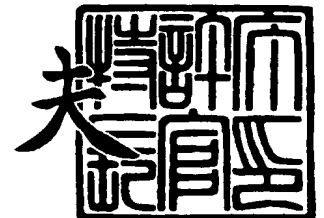
出 願 番 号 特 願 2 0 0 3 - 1 1 3 5 3 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 3 5 3 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290678901

【提出日】 平成15年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 福岡県福岡市早良区百道浜 2 丁目 3 番 2 号ソニーセミコ
ンダクタ九州株式会社内

【氏名】 松岡 次弘

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100084294

【弁理士】

【氏名又は名称】 有吉 教晴

【選任した代理人】

【識別番号】 100114627

【弁理士】

【氏名又は名称】 有吉 修一郎

【手数料の表示】

【予納台帳番号】 052641

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0106169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板に相互に配線で接続された複数の IC チップが配置された半導体装置において、

前記各 IC チップは入力配線及び出力配線により前記基板の外部に接続されると共に、

前記 IC チップ間を接続する配線上に、各 IC チップの動作確認スイッチとして機能するトランジスタ素子が直列に挿入された

ことを特徴とする半導体装置。

【請求項 2】 前記トランジスタ素子は、ダンピング抵抗として機能することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記 IC チップ間を接続する配線上に終端抵抗が形成されたことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記トランジスタ素子は、デプレッション型であることを特徴とする請求項 1、請求項 2 または請求項 3 に記載の半導体装置。

【請求項 5】 前記トランジスタ素子と抵抗自動補正回路を接続したことを特徴とする請求項 2、請求項 3 または請求項 4 に記載の半導体装置。

【請求項 6】 前記終端抵抗と抵抗自動補正回路を接続したことを特徴とする請求項 3、請求項 4 または請求項 5 に記載の半導体装置。

【請求項 7】 前記基板がシリコン基板であることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 または請求項 6 に記載の半導体装置。

【請求項 8】 前記基板がガラス基板であることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 または請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関する。詳しくは、基板に相互に配線で接続された複数の I C チップが配置された半導体装置に係るものである。

【0002】

【従来の技術】

従来、複数の I C チップが搭載されたインターポーザのテストの一環として、インターポーザに流れる電流値を測定することにより良否の判断をする方法が採られている（例えば、特許文献1 参照。）。

即ち、図3で示す様に、P i n 1 1、P i n 1 2、P i n 1 3、…、P i n 1 n で外部に接続されている I C チップ（1）101 及び P i n 2 1、P i n 2 2、P i n 2 3、…、P i n 2 m で外部に接続されると共に、内部の配線によって I C チップ（1）と接続されている I C チップ（2）102 が搭載されたインターポーザ103 のテストを行う際には、P i n 1 1、P i n 1 2、P i n 1 3、…、P i n 1 n から信号を入力し、P i n 2 1、P i n 2 2、P i n 2 3、…、P i n 2 m から出力する信号を測定することにより良否の判断を行っている。

【0003】

【特許文献1】

特開平7-49366号公報（第2-3頁、第1図）

【0004】

【発明が解決しようとする課題】

ここで、従来のインターポーザは、内部に配置された I C チップに配線を接続することのみを主な目的とし、配置された I C チップが良品か不良品かという判定を下すことにはほとんど寄与しなかった。更に、集積回路等で長らく使われてきた B I S T（組み込み自己テスト）等のテスト回路は通常 I C チップ側に格納されており、インターポーザ側に組み込まれることはなかった。

即ち、従来のインターポーザのテストでは、インターポーザ全体としての良否の判断を行うことはできるものの、インターポーザに搭載された個々の I C チップの良否判断を行うことはできなかった。

【0005】

本発明は、上記の点に鑑みて創案されたものであって、基板に搭載された個々

の I C チップのテストを行うことが可能である半導体装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体装置では、基板に相互に配線で接続された複数の I C チップが配置された半導体装置において、前記各 I C チップは入力配線及び出力配線により前記基板の外部に接続されると共に、前記 I C チップ間を接続する配線上に、各 I C チップの動作確認スイッチとして機能するトランジスタ素子が直列に挿入された。

【0007】

ここで、各 I C チップが入力配線及び出力配線により基板の外部に接続されたことによって、個々の I C チップに外部から入力信号を供給することができると共に、個々の I C チップからの出力信号を取り出すことができる。

また、I C チップ間を接続する配線上に、各 I C チップの動作確認スイッチとして機能するトランジスタ素子が直列に挿入されたことによって、通常動作モードと I C チップの動作確認モードとを切り換えることができる。

【0008】

【発明の実施の形態】

図 1 は、本発明を適用した半導体装置の一例を説明するための回路図であり、ここで示すシリコンから成るインターポーザ 1 には、I C チップ (1) 2 とインターポーザ内の配線によって接続された I C チップ (2) 3 が搭載されており、インターポーザの入力端子として P_{in11} 、 P_{in12} 、 P_{in13} 、…、 P_{in1n} が形成され、インターポーザの出力端子として P_{in21} 、 P_{in22} 、 P_{in23} 、…、 P_{in2m} が形成されている。

【0009】

ここで、I C チップ (1) と I C チップ (2) を接続するインターポーザ内の各配線にはデプレッション型の MOS トランジスタ ($M1$ 、 $M2$ 、…、 $M1$) が直列に挿入されており、各 MOS トランジスタのゲート電極は結合され、外部端子 I_N 及びオン抵抗自動補正回路 4 と接続されている。なお、MOS トランジス

タは外部電圧 I_N の電圧レベルをコントロールすることによりスイッチング素子として機能する。更に、各 MOS トランジスタのオン時の抵抗値の調整を行うことによって通常動作時にダンピング抵抗としての役割をも果たす。

なお、外部端子 I_N は抵抗 R_G を介してグランドに接続されており、外部端子 I_N からの入力が無い場合にはグランドレベルを維持する様に構成されている。

【0010】

また、IC チップ (1) と IC チップ (2) を接続するインターポーザ内の各配線は抵抗 (R_1 、 R_2 、…、 R_1) を介して外部端子 (O_1 、 O_2 、…、 O_1) と接続されている。

更に、IC チップ (1) と IC チップ (2) を接続するインターポーザ内の各配線とグランドとの間には終端抵抗 (Q_1 、 Q_2 、…、 Q_1) が形成されている。

【0011】

ここで、MOS トランジスタは外部端子 I_N の電圧レベルをコントロールすることによって IC チップの動作確認時にスイッチング素子として機能すれば充分であり、必ずしもデプレッション型の MOS トランジスタである必要は無いが、図 2 で示すゲート電位 V_G とドレイン電流 I_D との関係を示す $V_G - I_D$ 特性からも明らかな様に、図 2 中符号 b で示すエンハンス型の MOS トランジスタはゲート電圧 $V_G = 0\text{ V}$ でオフの状態となるのに対して、図 2 中符号 a で示すデプレッション型の MOS トランジスタはゲート電圧 $V_G = 0\text{ V}$ でオンの状態を維持するために、消費電力の低減という点を考慮するとデプレッション型の MOS トランジスタである方が好ましい。

【0012】

また、ゲート電圧 $V_G = 0\text{ V}$ でオンの状態を維持するために、オン抵抗が低く、トランジスタサイズを小さくできるという点からもデプレッション型の MOS トランジスタである方が好ましい。

更に、エンハンス型の MOS トランジスタでは、PMOS と NMOS の双方が必要であるためにトランジスタサイズが大きくなり、占有面積が広がってしまうと同時に寄生容量が増加してしまうのに対して、デプレッション型の MOS ト

ランジスタでは、基本的にはPMOSでもNMOSでも良く、インターポーザの製造コストの低減を図るという点を考慮してもデプレッション型のMOSトランジスタである方が好ましい。

【0013】

また、MOSトランジスタは外部端子INの電圧レベルをコントロールすることによってICチップの動作確認時にスイッチング素子として機能すれば充分であり、必ずしも通常動作時にダンピング抵抗としての役割を果たす必要は無いが、通常動作時におけるICチップ(1)とICチップ(2)間の信号品質の向上を図るために、ダンピング抵抗としての役割をも果たす方が好ましい。なお、インターポーザに搭載されたICチップ(1)及びICチップ(2)のテストを行うという観点からすると、オン抵抗自動補正回路は必ずしも必要では無いが、MOSトランジスタのオン時の抵抗値は製造バラツキ、電源電圧の変動及び温度変化等によって変動するために、これらの変動をでき得る限り小さくし、オン抵抗が一定となる様にオン抵抗自動補正回路が形成された方が好ましい。

【0014】

また、インターポーザに搭載されたICチップ(1)及びICチップ(2)のテストを行うという観点からすると、ICチップ(1)とICチップ(2)を接続するインターポーザ内の配線とグランドとの間に必ずしも終端抵抗が形成される必要は無いが、上記したダンピング抵抗と同様に、通常動作時におけるICチップ(1)とICチップ(2)間の信号品質の向上を図るために、ICチップ(1)とICチップ(2)を接続するインターポーザ内の配線とグランドとの間に終端抵抗が形成された方が好ましい。なお、図1に示す回路図には記載していないが、上記したオン抵抗自動補正回路と同様の技術は終端抵抗に対しても有効である。

【0015】

なお、上記した本発明を適用した半導体装置の一例では、2つのICチップをインターポーザに搭載した例を挙げて説明を行ったが、インターポーザに搭載するICチップの数は必ずしも2つである必要は無く、3つ以上であっても構わない。

【0016】

更に、上記した本発明を適用した半導体装置の一例では、シリコンから成るインターポーザにスイッチング素子としてMOSトランジスタが形成された例を挙げて説明を行ったが、基板はスイッチング素子を形成できるものであればいかなる材料であっても良く、例えば、ガラスから成る基板にスイッチング素子として薄膜トランジスタ素子を形成しても良い。

【0017】

上記した本発明を適用した半導体装置の一例では、MOSトランジスタのスイッチをオンの状態とし、インターポーザの入力端子Pin11、Pin12、Pin13、…、Pin1nからICチップ(1)へ信号を入力すると共に、ICチップ(1)からの出力信号を外部端子(O1、O2、…、O1)から取り出すことによってICチップ(1)のテストを行うことが可能であり、また、MOSトランジスタのスイッチをオフの状態とし、外部端子(O1、O2、…、O1)からICチップ(2)へ信号を入力すると共に、ICチップ(2)からの出力信号をインターポーザの出力端子Pin21、Pin22、Pin23、…、Pin2mから取り出すことによってICチップ(2)のテストを行うことが可能であるために、インターポーザ全体としての良否判断のみならず、インターポーザに搭載されたICチップ(1)及びICチップ(2)の良否判断をも行うことができる。

【0018】

また、インターポーザ上にチップ部品としてダンピング抵抗や終端抵抗が形成されているために、近年のインターポーザの内部信号ラインの高速化に伴う反射等の輻射効果による信号の劣化を抑制することができる。

【0019】**【発明の効果】**

以上述べてきた如く、本発明の半導体装置では、基板に搭載された個々のICチップのテストを行うことが可能である。

【図面の簡単な説明】**【図1】**

本発明を適用した半導体装置の一例を説明するための回路図である。

【図 2】

ゲート電位 V_G とドレイン電流 I_D との関係を示す模式的な図である。

【図 3】

従来 of 半導体装置を説明するための回路図である。

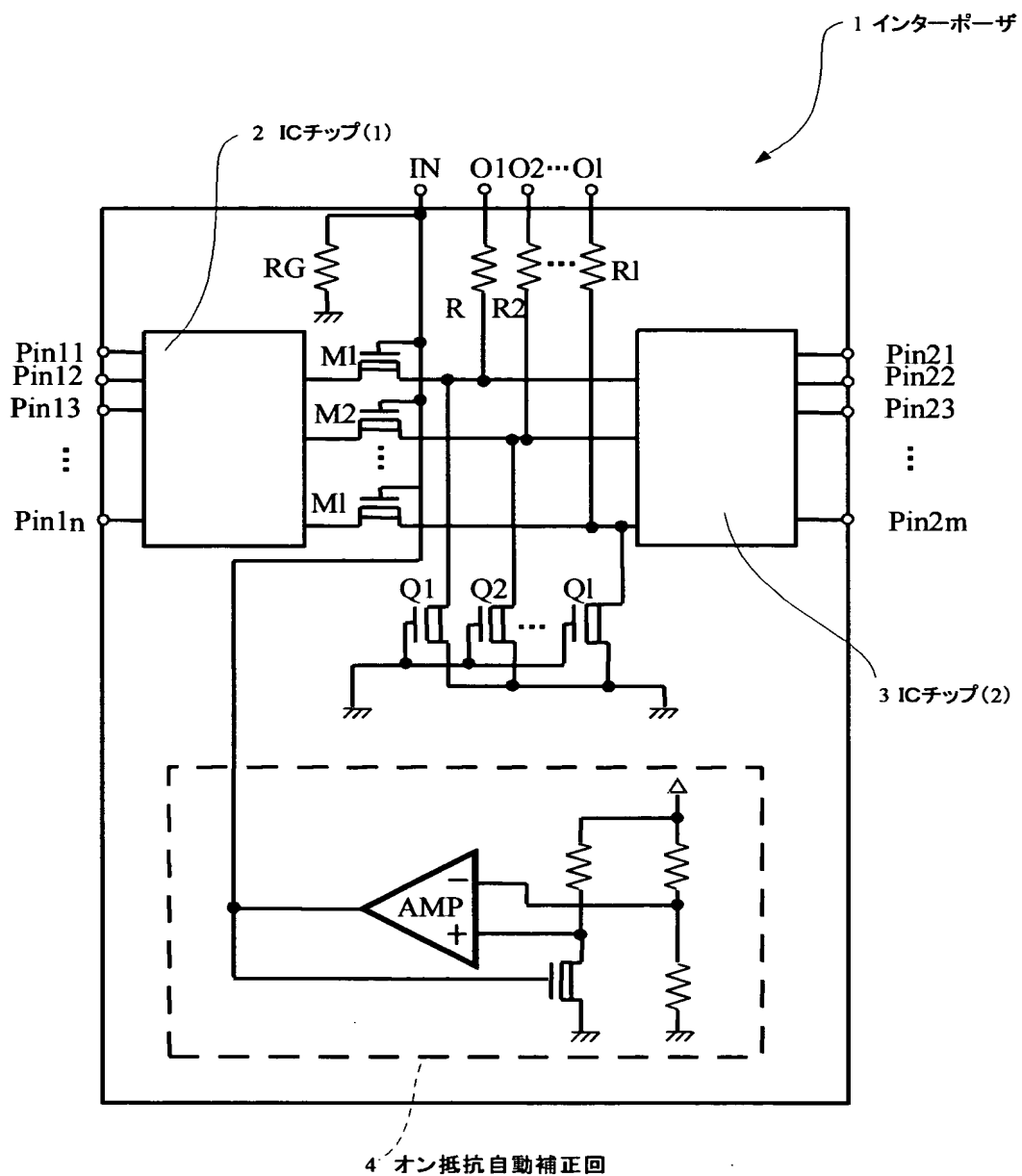
【符号の説明】

- 1 インターポーザ
- 2 ICチップ (1)
- 3 ICチップ (2)
- 4 オン抵抗自動補正回路

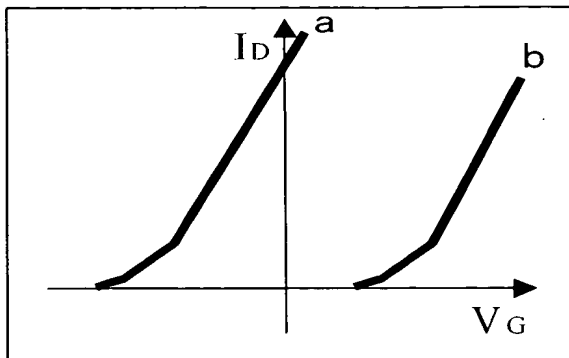
【書類名】

図面

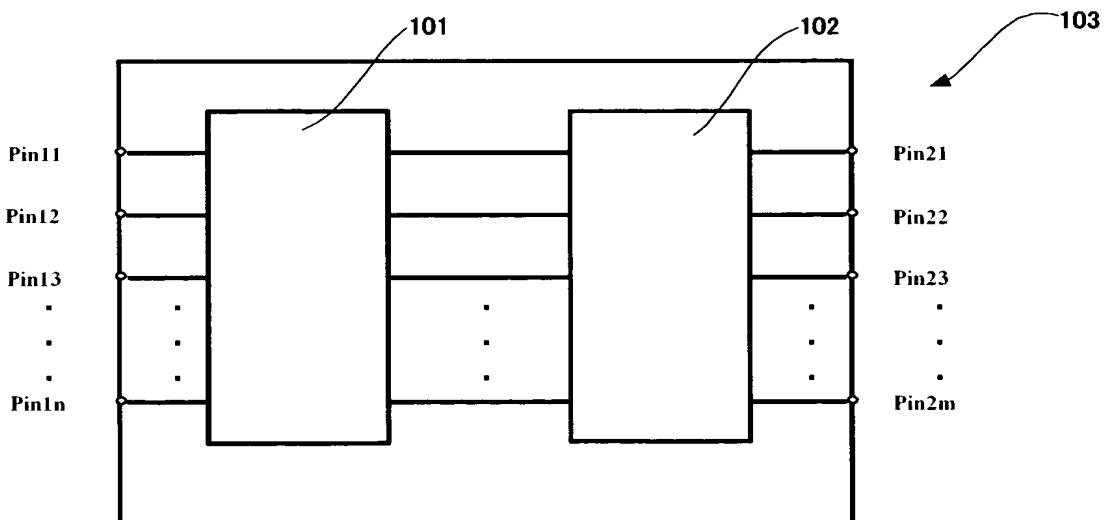
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 インターポーザに搭載された個々の I C チップのテストを行うことが可能である半導体装置を提供する。

【解決手段】 インターポーザ 1 に I C チップ (1) 2 及び I C チップ (2) 3 が搭載された半導体装置において、 I C チップ (1) 及び I C チップ (2) は入力配線及び出力配線によりインターポーザの外部に接続されると共に、 I C チップ (1) と I C チップ (2) を接続する配線上に、スイッチとして機能するトランジスタ素子 (M 1 、 M 2 、 … 、 M 1) を直列に挿入する。

【選択図】 図 1

特願 2 0 0 3 - 1 1 3 5 3 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社